

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-082093

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

G06F 17/50
H01L 21/82

(21)Application number : 11-182181

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 28.06.1999

(72)Inventor : TOYONAGA MASAHIKO
TSUZUKI KATSUO

(30)Priority

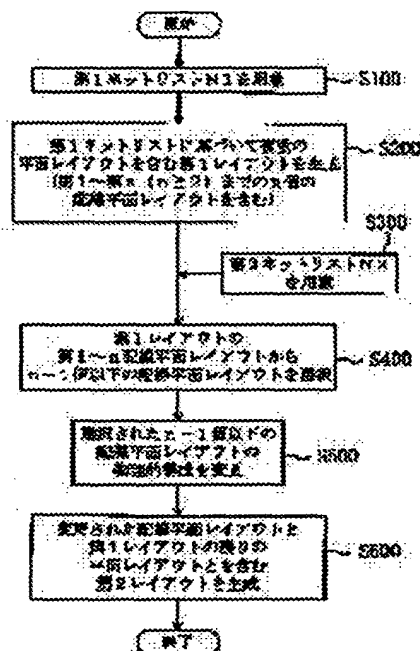
Priority number : 10188696 Priority date : 03.07.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS LAYOUT DESIGN METHOD AND RECORDING MEDIUM RECORDING LAYOUT DESIGN PROGRAM

(57)Abstract:

PROBLEM TO BE SOLVED: To develop a semiconductor device in a short period by changing the physical configuration of a distribution plane layout that is selected from the distribution plane layout of a 1st layout corresponding to a 1st net list and generating a 2nd layout corresponding to a 2nd net list.

SOLUTION: A 1st net list N1 is prepared in a process S100 and a 1st layout is generated based on the list N1 in a process S200. A 2nd net list N2 is prepared in a process S300 and (n-1) pieces or less of distribution plane layouts are selected from 1st to n-th distribution plane layouts in a process S400. Then the physical configurations (patterns) of selected (n-1) pieces or less of distribution plane layouts are changed in process S500. A 2nd layout is generated from those changed distribution plane layouts and the remaining plane layouts of the 1st layout based on the list N2 in a process S600.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

10

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-82093

(P 2000-82093 A)

(43)公開日 平成12年3月21日(2000.3.21)

(51)Int.Cl.⁷

識別記号

F I

テマコード (参考)

G06F 17/50

G06F 15/60

658

R

H01L 21/82

H01L 21/82

658

E

C

審査請求 未請求 請求項の数11 O L (全17頁)

(21)出願番号 特願平11-182181

(22)出願日 平成11年6月28日(1999.6.28)

(31)優先権主張番号 特願平10-188696

(32)優先日 平成10年7月3日(1998.7.3)

(33)優先権主張国 日本 (J P)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 豊永 昌彦

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(72)発明者 都筑 香津生

大阪府門真市大字門真1006番地 松下電器産業株式会社内

(74)代理人 100077931

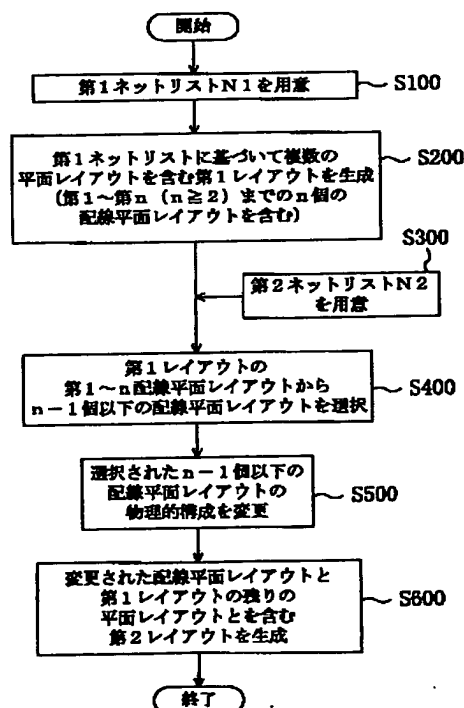
弁理士 前田 弘 (外1名)

(54)【発明の名称】半導体装置のレイアウト設計方法、およびレイアウト設計プログラムを記録した記録媒体、並びに半導体装置

(57)【要約】

【課題】従来よりも短い期間で半導体装置を開発することを可能にするレイアウト設計方法およびレイアウト設計プログラムを記録した記録媒体、並びに短い期間で設計が可能な半導体装置を提供する。

【解決手段】本発明の半導体装置のレイアウト設計方法は、(a)第1ネットリストに対応し、素子レイアウトおよび前記素子レイアウト上に順次積層される第1から第 n ($n \geq 2$) までの n 個の配線平面レイアウトを有する第1レイアウトを用意する工程と、(b)前記第1ネットリストとは異なる第2ネットリストを受け取る工程と、(c)前記第1レイアウトの前記 n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも1つの配線平面レイアウトを選択する工程と、(d)前記選択された少なくとも1つの配線平面レイアウトの物理的構成を変更することによって、前記素子レイアウトと、前記第1レイアウトのうちの非選択とされた配線平面レイアウトと、前記変更された配線平面レイアウトとからなり、前記第2ネットリストに対応する第2レイアウトを生成する工程と、を包含する。



【特許請求の範囲】

【請求項 1】 半導体装置のレイアウト設計方法であって、

(a) 第 1 ネットリストに対応し、素子レイアウトおよび前記素子レイアウト上に順次積層される第 1 から第 n ($n \geq 2$) までの n 個の配線平面レイアウトを有する第 1 レイアウトを用意する工程と、

(b) 前記第 1 ネットリストとは異なる第 2 ネットリストを受け取る工程と、

(c) 前記第 1 レイアウトの前記 n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも 1 つの配線平面レイアウトを選択する工程と、

(d) 前記選択された少なくとも 1 つの配線平面レイアウトの物理的構成を変更することによって、前記素子レイアウトと、前記第 1 レイアウトのうちの非選択とされた配線平面レイアウトと、前記変更された配線平面レイアウトとからなり、前記第 2 ネットリストに対応する第 2 レイアウトを生成する工程と、
を包含するレイアウト設計方法。

【請求項 2】 前記工程 (a) の前に、前記第 1 ネットリストを受け取る工程と、前記第 1 ネットリストに基づいて前記第 1 レイアウトを生成する工程とを包含し、前記第 1 レイアウトの前記 n 個の配線平面レイアウトのそれぞれは、第 1 ネットリストによって規定される第 1 接続構造に含まれない、互いに分離された複数の冗長配線パターンを有し、

前記工程 (d) は、前記選択された配線平面レイアウトが有する前記複数の冗長配線パターンのうちの少なくとも 1 つを、前記第 2 ネットリストによって規定される第 2 接続構造に含む前記第 2 レイアウトを生成する工程である、
請求項 1 に記載のレイアウト方法。

【請求項 3】 前記素子レイアウトは、少なくとも 1 つのスタンダードセルを規定する請求項 1 または 2 に記載のレイアウト設計方法。

【請求項 4】 前記素子レイアウトは、複数のマクロブロックを規定する請求項 1 または 2 に記載のレイアウト設計方法。

【請求項 5】 前記工程 (c) は、前記第 1 レイアウトの前記 n 個の配線平面レイアウトから 1 つの配線平面レイアウトを選択する工程である、請求項 1 から 4 のいずれかに記載のレイアウト方法。

【請求項 6】 前記選択された配線平面レイアウトは、第 n 平面レイアウトである請求項 5 に記載のレイアウト方法。

【請求項 7】 前記工程 (c) は、前記第 1 レイアウトの前記 n 個の配線平面レイアウトから第 k 配線平面レイアウト ($1 \leq k \leq n$) を選択する工程であって、前記工程 (d) において、前記 k 配線平面レイアウトが変更された第 2 レイアウトが生成された場合には、 k を

示す情報および第 2 レイアウトを出力し、前記 k 配線平面レイアウトが変更された第 2 レイアウトが生成されなかった場合には、 k を $k-1$ に置き換えて k が 1 になるまで、前記工程 (c) および (d) を繰り返す、請求項 5 に記載のレイアウト方法。

【請求項 8】 前記工程 (c) を全ての組み合わせについて実行し、

前記工程 (c) で得られた全ての組み合わせについて、前記工程 (d) を実行し、

全ての組み合わせのそれぞれについて、前記選択された少なくとも 1 つの配線平面レイアウトを特定する情報と、それに対応する第 2 レイアウトとを含む第 2 レイアウトセットを出力する工程を包含する、請求項 1 から 4 のいずれかに記載のレイアウト方法。

【請求項 9】 コンピュータ読み取り可能な記録媒体であって、

(a) 第 1 ネットリストに対応し、素子レイアウトおよび前記素子レイアウト上に順次積層される第 1 から第 n ($n \geq 2$) までの n 個の配線平面レイアウトを有する第 1 レイアウトを用意する工程と、

(b) 前記第 1 ネットリストとは異なる第 2 ネットリストを受け取る工程と、

(c) 前記第 1 レイアウトの前記 n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも 1 つの配線平面レイアウトを選択する工程と、

(d) 前記選択された少なくとも 1 つの配線平面レイアウトの物理的構成を変更することによって、前記素子レイアウトと、前記第 1 レイアウトのうちの非選択とされた配線平面レイアウトと、前記変更された配線平面レイアウトとからなり、前記第 2 ネットリストに対応する第 2 レイアウトを生成する工程とを含む半導体装置のレイアウト設計方法をコンピュータに実行させるプログラムが記録された記憶媒体。

【請求項 10】 複数の素子を形成する素子層と、前記素子層の上に積層され、前記複数の素子を互いに電気的に接続する配線を形成する複数の配線層とを有し、前記複数の配線層のうちの少なくとも 1 つの配線層は、前記少なくとも 1 つの配線層の上層に形成されている配線と交差する領域に設けられた冗長配線を有し、前記冗長配線は、少なくとも互いに交差する方向に延びる 2 つの導体部分を有している、半導体装置。

【請求項 11】 複数の素子を形成する素子層と、前記素子層の上に積層され、前記複数の素子を互いに電気的に接続する配線を形成する複数の配線層とを有し、前記複数の配線層のうちの少なくとも 1 つの配線層に形成された配線間に、規則的に配置された複数の冗長配線を有する、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の設計

におけるレイアウト設計方法に関し、仕様変更に応じ、容易に接続構造のレイアウト変更が可能なレイアウト設計方法、およびそのようなレイアウト設計方法を実行するためのプログラムが記憶された媒体、並びに接続構造の変更が容易な構造を有する半導体装置に関するものである。

【0002】

【従来の技術】近年、電子機器の高機能化・高性能化や小型化の進展に伴い、比較的短時間で開発が可能な特定ユーザ向けの半導体装置 (Application Specific Integrated Circuit: ASIC) へのニーズが増加している。そこで、ASICの開発期間をさらに短縮するためにゲートアレイ方式や、ゲートアレイ方式の一部に取り込んだエンベッデッドゲートアレイ方式が提案されている。

【0003】ゲートアレイ方式では、予めマスターライズとして準備されたアレイ状に配列されたゲートを、各ユーザの仕様に従って配線することによって、それぞれのユーザ向けの論理回路を形成する。配線の設計だけで、各ユーザの仕様に対応するので、開発コストの削減と開発期間の短縮とが可能になる。

【0004】エンベッデッドゲートアレイ方式は、部分的にゲートアレイ方式を採用する。仕様が確定しているか否かに基づいて、機能回路 (単に「素子」または「セル」ともいう。) を確定回路部 (確定素子または確定セル) と未確定回路部 (未確定素子または未確定セル) とに分類する。確定回路部にはスタンダードセル方式を用い、未確定回路部にはゲートアレイ方式を用いる。未確定回路部の仕様が確定した後に、未確定回路部に形成されたアレイ状のゲートを決定された仕様に従って配線する。この方式によれば、例えばメモリ部のような確定回路部を予めレイアウト設計まで完了させるので、レイアウト設計に要する開発期間は未確定回路部に対する設計期間のみですむので、開発期間をさらに短縮することが可能になる。さらに、確定回路部にはスタンダードセルを用いることができるので、ゲートアレイ方式に比べて集積度を高める (チップを小面積化する) ことができる。エンベッデッドゲートアレイ方式のLSIは、例えば、USP 4, 786, 631に開示されている。

【0005】ここで、本願明細書で用いる用語の定義を図20を参照しながら説明する。LSIの幾何学的な構造を規定するものはレイアウト900と呼ばれる。LSIのレイアウト900は、機能回路 (またはセル) を規定する素子レイアウト (セルレイアウト) 920と、「配線」を規定する配線レイアウト940とを有する。素子レイアウト920は、複数の素子平面レイアウト922、923、924、925および926を有している。素子平面レイアウト922、923、924、925および926は、それぞれ、N-well、活性領域、ポリシリコン層、P+イオン注入領域およびN+イオン注入領域をそれぞれ規定している。配線レイアウト

940が有する複数の配線平面レイアウト942、943、944、および945は、それぞれ、コンタクトホール、第1配線、スルーホールおよび第2配線のパターンを規定している。「配線 (interconnection)」は平面内の配線 (interconnection line) だけでなく、スルーホール (ビアホール) を介した層間接続 (interlayer connection) を含む。通常の写真リソグラフィ工程を用いて半導体装置を製造するために、各平面レイアウトに対応するマスクが製造される。

【0006】上述のゲートアレイ方式やエンベッデッドゲートアレイ方式のLSIにおいても、ゲート数の増加および配線層の多層化が進むにつれて、レイアウト設計に時間がかかるという問題とともに、マスクの製造にかかる費用および時間が増加するという問題がある。特に、微細なパターン (例えばデザインルールが $0.25\mu\text{m}$ 以下) を形成するためのマスクは、従来のマスク (例えばデザインルールが $0.35\mu\text{m}$ 以上) に比べ著しく高価であり、且つ、多層化も進んでいるので、1つの半導体装置を製造するために必要なマスクの枚数も大幅に増加 (例えば6層配線以上) している。その結果、マスクを製造するためにかかる費用および時間の増加が、半導体装置の開発コストの増大および開発期間の長期化を招く主要因子となりつつある。

【0007】図21を参照しながら、従来のLSIのレイアウト設計方法を説明する。

【0008】図21は、一旦設計したLSIに、回路変更 (接続構造の変更) が必要になった場合の従来のレイアウト設計方法のフローチャートを示す。

【0009】工程S1700において、初期仕様の接続情報を示すネットリストN1に基づいてレイアウト設計を行う。この段階で、初期仕様に対応する初期レイアウトが生成される。なお、設計変更が必要無い場合には、初期レイアウトが出力され、初期レイアウトに基づいて、マスク (厳密にはマスクのセット) が作製される。マスクのセットは、初期レイアウトが有する各平面レイアウトに一对一に対応するマスクを含む。

【0010】工程S1710において、回路変更に対応して、変更された接続情報を示すネットリストN2を生成する。

【0011】工程S1720において、ネットリストN2に基づいて、改めてレイアウト設計を行う。ここで、変更された仕様に対応する修正後レイアウトが生成される。修正レイアウトの生成は、初期レイアウトとは全く独立に行われる。例えば、ゲートアレイ方式の場合には、全ての配線が再配線される。

【0012】工程S1730において、ネットリストN2に対応する修正後のレイアウトを出力する。出力された修正後のレイアウトに基づいて、マスクが作製される。

【0013】

【発明が解決しようとする課題】上述の従来技術には、下記の問題がある。図 21 に示した従来のレイアウト方法をゲートアレイ方式の LSI に適用した場合を例に、その問題点を説明する。

【0014】設計変更後のネットリスト N2 に基づいて、ゲートアレイ方式の LSI のレイアウト変更を行う場合、配線レイアウトだけを再配線（再設計）すればよいものの、全配線を対象に再配線が実行される。従って、レイアウト設計のための工程数およびマスク枚数、つまり修正期間および修正コストを低減できない。もし、初期レイアウトに基づいてマスクが作製されていれば、すべてのマスクを破棄し、新たなマスクを最初から作製することになる。さらに、実際に LSI を製造するラインにウエハ（マススライス）が投入されていれば、仕掛品も全て破棄せざるを得ない。

【0015】たとえば、入出力信号の変更、電源系におけるブルアップの変更等の軽微な変更に対しても、上述のレイアウト方法によると、配線層に対する全てのマスクを作製し直さなければならない。さらに、1つのチップに集積される回路が増加するにつれて、仕様変更の可能性も高くなりつつあるので、設計変更によるマスク製造費用の増大およびマスク製造時間の長期化は、深刻な問題になりつつある。

【0016】本発明は、上記従来の問題を解決するためになされたものであり、その目的とするところは、従来よりも短い期間で半導体装置を開発することを可能にするレイアウト設計方法およびレイアウト設計プログラムを記録した記録媒体、並びに短い期間で設計が可能な半導体装置を提供することにある。

【0017】

【課題を解決するための手段】本発明の半導体装置のレイアウト設計方法は、(a) 第 1 ネットリストに対応し、素子レイアウトおよび前記素子レイアウト上に順次積層される第 1 から第 n ($n \geq 2$) までの n 個の配線平面レイアウトを有する第 1 レイアウトを用意する工程と、(b) 前記第 1 ネットリストとは異なる第 2 ネットリストを受け取る工程と、(c) 前記第 1 レイアウトの前記 n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも 1 つの配線平面レイアウトを選択する工程と、

(d) 前記選択された少なくとも 1 つの配線平面レイアウトの物理的構成を変更することによって、前記素子レイアウトと、前記第 1 レイアウトのうちの非選択とされた配線平面レイアウトと、前記変更された配線平面レイアウトとからなり、前記第 2 ネットリストに対応する第 2 レイアウトを生成する工程とを包含し、そのことによって上記目的が達成される。

【0018】前記工程 (a) の前に、前記第 1 ネットリストを受け取る工程と、前記第 1 ネットリストに基づいて前記第 1 レイアウトを生成する工程とを包含し、前記第 1 レイアウトの前記 n 個の配線平面レイアウトのそれ

それは、第 1 ネットリストによって規定される第 1 接続構造に含まれない、互いに分離された複数の冗長配線パターンを有し、前記工程 (d) は、前記選択された配線平面レイアウトが有する前記複数の冗長配線パターンのうちの少なくとも 1 つを、前記第 2 ネットリストによって規定される第 2 接続構造に含む前記第 2 レイアウトを生成する工程であることが好ましい。

【0019】前記素子レイアウトは、少なくとも 1 つのスタンダードセルを規定することが好ましい。

10 【0020】前記素子レイアウトは、複数のマクロブロックを規定することが好ましい。

【0021】前記工程 (c) は、前記第 1 レイアウトの前記 n 個の配線平面レイアウトから 1 つの配線平面レイアウトを選択する工程であることが好ましい。

【0022】前記選択された配線平面レイアウトは、第 n 平面レイアウトであることが好ましい。

20 【0023】前記工程 (c) は、前記第 1 レイアウトの前記 n 個の配線平面レイアウトから第 k 配線平面レイアウト ($1 \leq k \leq n$) を選択する工程であって、前記工程 (d) において、前記 k 配線平面レイアウトが変更された第 2 レイアウトが生成された場合には、 k を示す情報および第 2 レイアウトを出力し、前記 k 配線平面レイアウトが変更された第 2 レイアウトが生成されなかった場合には、 k を $k-1$ に置き換えて k が 1 になるまで、前記工程 (c) および (d) を繰り返すようにしてもよい。

30 【0024】前記工程 (c) を全ての組み合わせについて実行し、前記工程 (c) で得られた全ての組み合わせについて、前記工程 (d) を実行し、全ての組み合わせのそれぞれについて、前記選択された少なくとも 1 つの配線平面レイアウトを特定する情報と、それに対応する第 2 レイアウトとを含む第 2 レイアウトセットを出力する工程を包含するようにしてもよい。

40 【0025】本発明のコンピュータ読み取り可能な記録媒体は、(a) 第 1 ネットリストに対応し、素子レイアウトおよび前記素子レイアウト上に順次積層される第 1 から第 n ($n \geq 2$) までの n 個の配線平面レイアウトを有する第 1 レイアウトを用意する工程と、(b) 前記第 1 ネットリストとは異なる第 2 ネットリストを受け取る工程と、(c) 前記第 1 レイアウトの前記 n 個の配線平面レイアウトから $n-1$ 個以下の少なくとも 1 つの配線平面レイアウトを選択する工程と、(d) 前記選択された少なくとも 1 つの配線平面レイアウトの物理的構成を変更することによって、前記素子レイアウトと、前記第 1 レイアウトのうちの非選択とされた配線平面レイアウトと、前記変更された配線平面レイアウトとからなり、前記第 2 ネットリストに対応する第 2 レイアウトを生成する工程とを含む半導体装置のレイアウト設計方法をコンピュータに実行させるプログラムが記録されており、そのことによって上記目的が達成される。

【0026】本発明の半導体装置は、複数の素子を形成する素子層と、前記素子層の上に積層され、前記複数の素子を互いに電氣的に接続する配線を形成する複数の配線層とを有し、前記複数の配線層のうちの少なくとも1つの配線層は、前記少なくとも1つの配線層の上層に形成されている配線と交差する領域に設けられた冗長配線を有し、前記冗長配線は、少なくとも互いに交差する方向に延びる2つの導体部分を有しており、そのことによって上記目的が達成される。

【0027】本発明の他の半導体装置は、複数の素子を形成する素子層と、前記素子層の上に積層され、前記複数の素子を互いに電氣的に接続する配線を形成する複数の配線層とを有し、前記複数の配線層のうちの少なくとも1つの配線層に形成された配線間に、規則的に配置された複数の冗長配線を有し、そのことによって上記目的が達成される。

【0028】

【発明の実施の形態】本発明の実施形態によるレイアウト方法のフローチャートを図1に示す。

【0029】まず、工程S100で、第1ネットリストN1を用意する。第1ネットリストは、特定ユーザ向けのLSIの初期仕様に対応して生成されたものであっても良いし、汎用性のある基本仕様に対応して生成されたものであってもよい。次に、工程S200で、第1ネットリストN1に基づいて、第1レイアウトを生成する。第1レイアウトは、素子レイアウトと配線レイアウトとを含む。素子レイアウトおよび配線レイアウトは、それぞれ、複数の素子平面レイアウトおよび配線平面レイアウトを有している。ここでは、配線レイアウトは、素子レイアウト上に順次積層される第1～第n ($n \geq 2$) 配線平面レイアウトを含むとする。すなわち、第1配線レイアウトは最下層(素子レイアウトの直上)で、第n配線平面レイアウトは最上層とする。工程S200までは、従来の方法で実施することができる。また、第1レイアウトを予め作成し、ライブラリに保存しておいても良い。

【0030】素子レイアウトは、一部にゲートアレイ方式の素子(機能回路)を含んでも良いが、スタンダードセルを用いることが好ましい。スタンダードセルを用いることによって、LSIの高性能化・高機能化とともに高密度化ならびに低価格化を実現できる。本発明のレイアウト設計方法を用いると、多層配線の配線レイアウトの変更だけで、従来よりも多様な仕様(仕様変更)に対応することが可能となるので、従来のゲートアレイ方式のようなマスタースライスを用いる必要はなく、スタンダードセルを用いた素子レイアウトを作成することができる。また、本発明のレイアウト設計方法が適用できるLSIは、従来のASICだけでなく、複数のマクロセル(IPとも呼ばれる)を含む、システムLSIであってもよい。システムLSIは、上述のスタンダードセル

をマクロセルの置き換えたものに相当する。

【0031】工程S300で、第2ネットリストを用意する。第2ネットリストは、特定ユーザ向けLSIの仕様変更に対応するものであってもよいし、特定ユーザからの仕様に対応するための基本仕様に対する仕様決定でもよい。

【0032】工程S400以降の工程において、配線レイアウトだけを変更することによって、第2ネットリストN2に対応する第2レイアウトを生成する。

【0033】まず、工程S400において、第1レイアウトの第1～第n配線平面レイアウトからn-1個以下の配線平面レイアウトを選択する。続いて、選択されたn-1個以下の配線平面レイアウトの物理的構成(パターン)を工程S500において変更する。工程S600において、変更された配線平面レイアウトと、第1レイアウトの残りの平面レイアウト(すなわち、素子平面レイアウトおよび非選択とされた配線平面レイアウト)から、第2ネットリストに基づく第2レイアウトを生成する。工程S400～工程S600の具体的な方法は後述する。また、配線レイアウトの変更によって多様なレイアウトを実現するためには、具体的な実施形態について後述するように、冗長配線パターンを配線レイアウトに予め含めておくことが好ましい。

【0034】本発明によるレイアウト方法によると、従来のように、全ての配線平面レイアウトの物理的構成を変更するのではなく、最大でn-1個の配線平面レイアウトの物理的構成を変更するだけで、ユーザからの仕様に従ってLSIをレイアウト設計することができる。従って、マスクの製造にかかる時間と費用を削減することができる。レイアウトを変更する配線平面レイアウトの数はできるだけ少ない方が、マスク製造に費やす時間および費用を削減する効果大きい。

【0035】また、変更する配線平面レイアウトの位置は上層のものが好ましい。上層のマスクであれば、LSIの製造プロセス中でそのマスクを必要とする工程までは、修正マスクの製造を待つことなく、加工を進めることができるので、製造時間を短縮することができる。また、製造ラインを流れている仕掛品を無駄にしないで済むという事態もあり得る。これらの効果は、マスクを用いず例えば、電子ビームで描画するプロセスを用いる場合にも得られる。

【0036】図1の工程S400～工程S600の工程は、例えば、図2に示すフローチャートに従って実施することができる。

【0037】工程S410において、第1レイアウトの第1～第n配線平面レイアウトから1つの配線平面レイアウト(第k配線平面レイアウト)を選択する。まず、 $k=n$ として、最上層の配線平面レイアウトを選択する。工程S510において、選択された第k配線平面レイアウトの物理的構成(パターン)を変更し、工程S6

10において、変更された第 k 配線平面レイアウトと残りの平面レイアウトとで第2ネットリストに基づく第2レイアウトを生成する。次に、工程S612において、第2レイアウトの生成に成功したか否かを判断し、成功していた場合にはレイアウト設計を終了する。すなわち、第1レイアウトの最上層の第 n 配線平面レイアウトだけを修正することによって、第2レイアウトが生成されたわけである。

【0038】第2レイアウトを生成できなかったと工程S612において判断され、且つ、工程S614で $k=1$ で無いと判断された場合には、 $k=k-1$ として下層の配線平面レイアウトを選択・変更することによって第2レイアウトの生成を試みる（工程S410～工程S610を繰り返す）。第2レイアウトの生成に成功した段階でレイアウト設計を終了する。なお、工程S510および工程S610の工程は、公知のリップアップ／リルート（RIPUP／REROUT）法を用いて実施することができる。

【0039】ここで、リップアップ／リルート法を図22(a)、図22(b)および図22(c)を参照しながら説明する。図22(a)が変更前の配線平面レイアウト（第1レイアウトの一部）を示し、図22(b)がリップアップ後の配線平面レイアウトを示し、図22(c)がリルート（再配線）後の配線平面レイアウト（第2レイアウトの一部）を示す。

【0040】図22(a)に破線で示されているように、変更前には2つのRT1が相互に接続されている。仕様変更によって、RT1の内の一つ（図面上側）の端子がRT2端子となり、もう一つのRT2端子と互いに接続されるように、接続関係（論理関係）が変更されるとする。この場合、図22(b)に示したように、破線で示されていた配線がリップアップされる（剥がされる）。その後、図22(c)に破線で示したように、RT2端子同士が破線で示される配線で互いに接続される。なお、2端子間の結線は、例えば、迷路配線法を用いることができる。リップアップ／リルート法および結線方法の説明のために、Jiri Soukup、「Circuit Layout」、Proc. of IEEE, Vol. 69, No. 10, pp. 1281-1304, 1981. を本願明細書に援用する。

【0041】すなわち、図2に示したフローに従うと、最も上層の1つの配線平面レイアウトだけを変更することによって生成された第2レイアウトが得られる。1つの配線平面レイアウトの変更で第2レイアウトを生成できない場合には、このフローは終了する。その場合には、後述する図3のフローを実行するようにしても良いし、全ての配線平面レイアウトを変更することによって第2レイアウトを生成してもよい。

【0042】図1の工程S400～工程S600の工程は、図3に示すフローチャートに従って実施することも

できる。

【0043】図3に示した方法を用いると、 n 個の配線平面レイアウトの内の任意の $n-1$ 個以下の配線平面レイアウトを変更することによって得られる全ての第1レイアウトが得られる。

【0044】まず、工程S420で、 $n-1$ 個以下（ $n \geq 2$ ）の任意の配線平面レイアウトを選択する。 n 個の中から $n-1$ 個以下の任意の数を選択する全組み合わせの数は、 nCm を $m=1$ から $m=n-1$ まで全て足した数である。これら全組み合わせの中から、まず1つの組み合わせを選択する。実際には、 m の小さな値（マスク数が少ない）で、選択される平面レイアウトの番号が大きい（なるべく上層）ものから、順に選択することが好ましい。 $m=1$ として、第 n 配線平面レイアウトから順に第1配線平面レイアウトを選択するフローは、図2と同様のフローとして実現できる。複数の配線平面レイアウトを選択するフローも容易に実現できる。

【0045】工程S520および工程S620の工程は、図2の工程S510および工程S610の工程と同様に、例えばリップアップ・リルート法を用いて実施できる。工程S622において、第2レイアウトの生成に成功したか否かを判断する。工程S622において、第2レイアウトの生成に失敗したと判断され、且つ、工程S624において、最後の組み合わせでないと判断された場合には、他の組み合わせについて、工程S420から工程S620の工程が繰り返し実行される。

【0046】工程S622において、第2レイアウトの生成に成功したと判断された場合には、工程S630において、変更された配線平面レイアウトの番号と変更された平面配線レイアウトとを1つのセットとする情報を生成する。本発明のレイアウト設計方法がコンピュータを用いて実行されている場合、この情報は、記憶装置に少なくとも一時的に記憶される。その後、工程S632において、最後の組み合わせでないと判断された場合には、他の組み合わせについて、工程S420～工程S620が繰り返し実行される。

【0047】 $n-1$ 個以下の配線平面レイアウトの全ての組み合わせに対して、工程S420～工程S630が実行された時点で、 $n-1$ 個以下の配線平面レイアウトの変更によって第2レイアウトが得られる、全ての組み合わせについて、{変更された配線平面レイアウトの番号、変更された配線平面レイアウト}のセットが生成されている。すなわち、 n 未満の枚数のマスクを変更するという条件下で、第2レイアウトを生成することが可能な全ての解のセットが得られる。

【0048】次に、例えば、工程S640で用意される、変更が許される平面レイアウトの数や番号等の条件に従って、全ての解の中から最も好ましい解を選択し、レイアウト設計のフローを終了する。例えば、できるだけ少ないマスク数やできるだけ上層に位置するマスク等

の条件に対して、最適なマスク（配線平面レイアウト）を選択する。例えば、第1レイアウトに基づくマスク（マスクのセット）が実際に製造されている場合、修正マスク費用を抑えるためには、マスクの位置（上層か下層か）よりも、マスクの枚数の方が重要である。一方、製造ラインにおいて、LSIが実際に製造されている場合には、まだ始まっていない製造工程で使用するマスクのみを変更するように、マスクの位置を提供することが好ましい。

【0049】上述したように、本発明を用いると、従来全ての配線平面レイアウトを変更する必要があったのに対し、少なくとも1枚以上少ない配線平面レイアウトを変更するだけで、レイアウト変更に対応することが出来る。従って、マスクの製造に要する費用及び時間を削減することが出来る。

【0050】なお、図2および図3に示したフローチャートにおける工程S612および工程S622において、第2レイアウトの生成の成否のみを判定したが、これに限らず、配線特性（例えば遅延時間）の評価を行って上で、成否の判定を行ってもよい。

（実施形態1）本発明の実施形態1に係るマスク設計方法について、図4～図7を参照しながら説明する。実施形態1においては、本発明のレイアウト設計方法をマスクの修正に利用する例を説明する。

【0051】本実施形態は、初期ネットリストN1に基づいて設計された初期レイアウトと回路変更後の変更後ネットリストN2とに基づいて、より上位の配線層（メタル層ともいう。）を修正するだけで、初期レイアウトを変更後ネットリストN2に基づく修正後の修正レイアウトへと変更することを目的としている。

【0052】図4は、本実施形態に係るマスク設計方法のフローチャートである。まず、工程S1100で、初期ネットリストN1に基づいてレイアウト設計を行って、初期レイアウトを形成する。

【0053】次に、工程S1200で、発生した仕様変更に基づく回路変更を記述した変更後ネットリストN2を入力する。以上の工程S1100、S1200により、初期ネットリストN1に基づく初期レイアウトと、レイアウト変更の基になる接続情報である変更後ネットリストN2を得ることができる。

【0054】次に、工程S1300で、修正の対象となる修正マスクの見積もりを行う。工程S1300では、初期ネットリストN1に基づく初期レイアウトから、変更後ネットリストN2に基づくレイアウトへと修正するために必要な配線層を、初期レイアウトの最上位の配線層から順次見積もった後に、その配線層を修正するために修正されるべきマスク、つまり修正マスクを決定する。そして、その修正マスクについての修正マスク情報Rを作成する。

【0055】次に、工程S1400で、作成した修正マ

スク情報Rに基づいて、修正対象となる配線層を引き剥がす処理（リップアップ）を行う。

【0056】次に、工程S1500で変更後ネットリストN2に従い再配線を行った後に、工程S1600で、工程S1100～1500により生成した修正後のレイアウト結果を出力する。

【0057】ここで、本実施形態に係るマスク設計方法の特徴は、全配線層のうち修正対象となるべき配線層に対応する修正マスクを上位配線層から順に見積もって決定し、作成した修正マスク情報Rに基づいて再配線を行い、修正後のレイアウト結果を出力することである。これにより、最低限の枚数のマスクについてのみ、設計変更とマスク製造とを行えばよいことになる。

【0058】以上説明したように、本実施形態によれば、回路変更があった場合に全配線について設計変更とマスク製造とを行う必要がなく、見積もりによって作成した修正マスク情報Rに基づいて上位配線層から最低限の枚数のマスクについてのみ、設計変更とマスク製造とを行う。したがって、マスクの設計変更と製造とに必要な費用、つまり修正コストを低減できるとともに、マスク変更に必要な期間を短縮できるのでLSIの開発期間を短縮することができる。

【0059】また、製造プロセスの最終段階に近い工程で形成される最上位の配線層から修正する。これにより、LSIの製造がある程度進んでいた場合でも、回路変更に対応できる。したがって、LSIの修正に必要なターンアラウンドタイムを短縮することができる。

【0060】更に、トランジスタからなる基本回路を組み合わせてLSIを設計する方法以外の方法に対して、本実施形態のマスク設計方法を適用できる。したがって、回路面積を最適化してLSIの面積を小さくすることができるので、LSIのコスト削減が可能になる。

【0061】図4のフローによる設計変更とレイアウトの推移とについて、図4と図5とを参照しながら具体的に説明する。図5(a)～(c)は、設計変更の対象となるレイアウトについて、それぞれ修正前、修正中、及び修正後のレイアウトを示すパターン図である。ここでは、配線層のうちメタル層が3層の場合、つまり最上位層から順にメタル層M3、M2、M1としてレイアウト設計を行う場合について、レイアウトの推移を説明する。この場合には、配線層は、メタル層が3層と、各メタル層間を接続するための層間接続層が2層との、合計5層からなっている。図5において、配線M2a、M2b、…はメタル層M2に、配線M3a、M3c、…はメタル層M3にそれぞれ属する配線である。また、ビアホールV3a、V3b、…は、メタル層M3とメタル層M2とにそれぞれ属する配線同士を接続するための層間接続層V3に属するビアホールである。

【0062】まず、図4の工程S1100で、初期ネットリストN1に基づいて初期レイアウトを設計する。こ

ここで、例えば初期ネットリストN1は、端子A～Dについて、

```
net1 connect (A, B)
net2 connect (C, D)
```

となっている。この初期ネットリストN1は、端子Aと端子Bとを接続し、かつ端子Cと端子Dとを接続することを示している。初期ネットリストN1に基づき初期配線して、図5(a)に示された初期レイアウト10を得る。すなわち、図5(a)に示されたように、端子A・B間を、配線M2a、ビアホールV3a、配線M3a、ビアホールV3b、配線M2bを介して接続する。同様に、端子C・D間を、配線M2c、ビアホールV3c、配線M3c、ビアホールV3d、配線M2dを介して接続する。

【0063】次に、工程S1200で、変更後ネットリストN2を得る。ここで、例えば変更後ネットリストN2は、端子A～Dについて、

```
net1 connect (A, C)
net2 connect (B, D)
```

となっている。この変更後ネットリストN2は、端子Aと端子Cとを接続し、かつ端子Bと端子Dとを接続することを示している。

【0064】次に、工程S1300で、変更後ネットリストN2に基づいて、修正されるべきマスクについての見積もりを行って修正マスク情報Rを作成する。ここでは、修正マスク情報Rとしてメタル層M3を得たとする。

【0065】次に、工程S1400で、修正マスク情報Rに基づき修正マスクのリップアップを行う。つまり、修正マスク情報Rに基づいてメタル層M3をリップアップして、残りの配線層のデータからなる配線層データを生成する。この工程では、修正マスク情報Rに含まれていないので、層間接続層V3を引き剥がすことはない。これにより、図5(b)に示されたように、初期レイアウト10から、それぞれメタル層M3に属する配線M3a、M3cを除去して、レイアウト11を得る。

【0066】次に、工程S1500で、配線層データに基づいて、変更後ネットリストN2に従って再配線して、図5(c)に示された修正レイアウト20を得る。すなわち、端子A・C間を、配線M2a、ビアホールV3a、配線M3a'、ビアホールV3c、配線M2cを介して接続する。同様に、端子B・D間を、配線M2b、ビアホールV3b、配線M3b'、ビアホールV3d、配線M2dを介して接続する。

【0067】ここで、ゲートアレイ方式及びエンベッデッドゲートアレイ方式を含む従来の設計方法によれば、上述のような回路変更があった場合には、3つのメタル層M1～M3と2つの層間接続層とにそれぞれ対応する合計5枚のマスクを、設計変更して製造する必要があった。それと比較して本実施形態によれば、メタル層M3

に対応する1枚のマスクについてのみ設計変更して製造すればよい。これにより、マスク変更に必要な期間と修正コストとを大きく削減できたことがわかる。

【0068】以下、修正マスクを見積もって修正マスク情報Rを作成する工程、つまり図4の工程S1300について、図5～図7を参照しながら説明する。図6は、図4の工程S1300のフローチャートである。

【0069】まず、工程S1310で、修正マスク情報Rとして、配線層のうち最上位層であるメタル層M3を設定して、 $R = \{M3\}$ とする。

【0070】次に、工程S1320で、図4の工程S1400と同様に図5(a)に示された初期レイアウト10から修正マスク情報Rにより指定したメタル層M3に属する配線を、リップアップ処理により仮想的に引き剥がして、残りのメタル層M2、M1と層間接続層V3とのデータからなる配線層データを生成する。そして、これにより、図5(b)に示されたレイアウト11を得る。

【0071】次に、工程S1330で、図4の工程S1500と同様に、配線層データに基づき変更後ネットリストN2に従って、仮想的に再配線を行う。その結果、配線接続に成功した場合には、図5(c)に示された修正レイアウト20を得る。

【0072】次に、工程S1340で、仮想的な再配線によって配線接続に成功したかどうかについて判定する。ここで、配線接続に成功した場合、つまり再配線によって配線の修正処理を完了した場合には工程S1350へと処理を進めて、工程S1310で設定した修正マスク情報 $R = \{M3\}$ をそのまま出力する。そして、修正マスクを見積もって修正マスク情報Rを作成する工程、つまり図4の工程S1300を終了する。一方、仮想的な再配線によって配線を修正できなかった場合には、工程S1360へと処理を進める。

【0073】次に、工程S1360で、修正マスク情報Rが全配線層を示すかどうかについて判定する。ここで、修正マスク情報Rが全配線層を示している場合には、全配線層について修正しても回路変更ができなかったことになるので、トランジスタ配置を含めた修正が必要になる。そこで、工程S1370へと処理を進め、工程S1370で修正マスク情報Rを $R = \{\phi\}$ として設定した後に、工程S1350で修正マスク情報R($= \{\phi\}$)を出力して、図4の工程S1300を終了する。一方、修正マスク情報Rが全配線層を示していない場合には、工程S1380へと処理を進める。

【0074】次に、工程S1380で、修正マスク情報Rに含まれていない下位配線層に属する配線層のうち最も上位の配線層を修正マスク情報Rに追加して、工程S1320へと処理を戻す。そして、工程S1320から、つまり追加された配線層を仮想的にリップアップする工程から、処理を繰り返すことになる。

【0075】図6のフローによる処理とレイアウトの推移とについて、図7を参照しながら具体的に説明する。図7(a)～(c)は、設計変更の対象となるレイアウトについて、それぞれ修正前、修正中、及び修正後のレイアウトを示すパターン図である。図7(a)は、図5(a)と同じ初期レイアウトを示す。

【0076】図6の工程S1320で、図7(a)で示された初期レイアウト10からメタル層M3を仮想的にリップアップして、図5(b)に示されたのと同じレイアウト11を得る。

【0077】ここで、工程S1330で再配線ができなかった場合を考える。この場合には、工程S1340で、再配線できなかったと判定して処理を工程S1360へ進める。そして、工程S1360で、修正マスク情報RがR={M3}であって全配線層ではないことから、処理を工程S1380へと進める。

【0078】工程S1380では、修正マスク情報Rが示すメタル層M3よりも下位の配線層における最上位層が層間接続層V3なので、R={M3, V3}とした後に工程S1320へと処理を戻す。

【0079】工程S1320では、修正マスク情報Rに追加された配線層、つまり層間接続層V3を仮想的にリップアップして配線層データを生成し、図7(b)に示されたレイアウト12を得る。

【0080】更に、工程S1330では、配線M3 a' 'と層間接続層V3に属するビアホールV3 a' , V3 c' とを用いて端子A・C間を、配線M3 bと層間接続層V3に属するビアホールV3 b' , V3 d' とを用いて端子B・D間を、それぞれ仮想的に接続する。これにより、図7(c)に示された修正レイアウト20'を得る。

【0081】以上説明したように、本実施形態に係る設計方法の修正マスクを見積もる工程によれば、それぞれ仮想的なリップアップ(図6の工程S1320)と再配線(図6の工程S1330)とに基づいて、変更後ネットリストN2に従ったレイアウト設計に必要な修正マスク情報Rを、確実に作成することができる。

【0082】なお、本実施形態では、修正マスク情報Rを作成する際の判定条件を、図6の工程S1340のように、変更後ネットリストN2に基づく再配線の可、不可のみによることとしたが、これに限らず、配線特性の評価を加えて修正マスク情報Rを作成してもよい。この場合には、配線特性を考慮して、層間接続層V3から各ビアホールを選択できるので、優れた配線特性を有する修正レイアウトを確実に得ることができる。例えば、図7に示された場合には、配線特性として配線長を評価して修正マスク情報Rを作成することにより、図7

(c)に示されたように配線長が短い、つまり配線抵抗が小さい優れた修正レイアウトを確実に実現することができる。

【0083】(実施形態2) 本発明の実施形態2に係るマスク設計方法と半導体装置とについて、図8～図10を参照しながら説明する。本実施形態は、回路変更の有無にかかわらず、予め半導体装置のレイアウトを、容易に修正できるレイアウトにしておくことにより、設計変更を容易にし、かつ変更後の配線特性の劣化を防止することを目的としている。

【0084】図8は、本実施形態に係るマスク設計方法のフローチャートである。図8に示されたマスク設計方法は、図4に示されたマスク設計方法に対して、工程S1100で初期レイアウトを設計した後に工程S1150を追加して、設計変更を容易にするために、つまり修正の容易化を目的としてレイアウト変換を行うこととしたものである。

【0085】以下、図8の工程S1150における修正の容易化処理について、図9を参照しながら説明する。図9(a)～(d)は、設計変更の対象となるレイアウトについて、容易化処理前、容易化処理後、容易化処理後かつ設計後、及び容易化処理後かつ回路変更後の各レイアウトを示すパターン図である。図9(a)は、実施形態1における図7(b)と同じレイアウト12を示す。このレイアウト12は、実施形態1における図7

(a)に示された初期レイアウト10からメタル層M3と層間接続層V3とを除いて、メタル層M2のみからなるレイアウトにしたものである。

【0086】図8の工程S1150では、図9(a)に示されたレイアウト12において1本の配線であった配線M2aを、図9(b)に示すように配線M2a1と配線M2a2とに分割する。同様に、配線M2cを配線M2c1と配線M2c2とに、配線M2dを配線M2d1と配線M2d2とに、それぞれ分割する。配線M2bについては、所定の基準と比較してその基準よりも短い配線なので、分割しない。これにより、図9(b)に示された容易化レイアウト13を得る。

【0087】ここで、実施形態1と同様に、初期ネットリストN1に基づいてレイアウト設計した場合には、図9(c)に示されたレイアウト10'を得る。つまり、配線M2a2, M3a1, M2a1, M3a2, M2bと層間接続層V3に属する各ビアホールとを用いて端子A・B間を接続し、配線M2c2, M3c1, M2c1, M3c2, M2d2, M3c3, M2d1と層間接続層V3に属する各ビアホールとを用いて端子C・D間を接続する。これにより、図7(a)に示された初期レイアウト10と同じように、初期ネットリストN1の接続を満足するレイアウト10'を得ることができる。

【0088】更に、実施形態1と同様に回路変更があった場合には、例えば変更後ネットリストN2に基づいてレイアウト設計して、図9(d)に示された修正レイアウト20'を得る。この場合には、配線M2a2, M3a' , M2c2と層間接続層V3に属する各ビアホ

ールとを用いて端子A・C間を接続し、配線M2b, M2b', M2d1と層間接続層V3に属する各ビアホールとを用いて端子B・D間を接続する。図9(d)に示された修正レイアウト20' 'と、実施形態1による修正レイアウト20, 20' (図5(c), 図7(c)参照)とを比較すればわかるように、修正レイアウト20' 'の方が、端子A・C間及び端子B・D間の接続を短い配線によって実現している。

【0089】ここで、本実施形態に係るマスクの設計方法の特徴は、1本で引ける配線を予め分割しておくことである。これにより、回路変更によるレイアウトの修正を行う場合には、容易に修正できるとともに、配線長を最適化して、つまりより短い配線で修正することによって配線抵抗及び配線容量を低減できる。したがって、配線特性を改善することにより、配線による信号の遅延を改善できる。

【0090】図10(a)～(d)及び図11(a), (b)は、本実施形態に係る設計方法の変形例において、メタル層M2における初期レイアウトと、その初期レイアウトに対する様々な容易化処理の結果と、設計変更後の結果とをそれぞれ示すパターン図である。図10(a)は、メタル層M2のみによる初期レイアウト30を示している。そして、本変形例の容易化処理では、図10(b)に示すように、配線M2s同士の間空き領域に、初期レイアウト30では用いない配線、つまり冗長配線M2hを追加して、容易化レイアウト31を得る。

【0091】本変形例によれば、冗長配線M2hを追加した容易化レイアウト31を用いることにより、メタル層M3, 層間接続層V3を引き剥がした後の配線修正において、メタル層M2で使用可能な配線パターンを増やせる。したがって、冗長配線M2hを用いて、メタル層M2における配線パターンを増加させることにより、配線長を最適化して再配線を容易にすることができる。

【0092】本変形例に対しては、更に、別の設計方法を組み合わせることができる。例えば、図10(c)は、図10(b)に示されたレイアウトに、配線を予め分割しておく設計方法、つまり本実施形態で先に説明した方法を適用して得た容易化レイアウト32を示す。この方法によれば、配線M2sと冗長配線M2hとを予め分割しておくことにより、メタル層M3, 層間接続層V3を引き剥がした後の配線修正において、メタル層M2で使用可能な配線パターンを更に増やせる。したがって、図10(d)に示すように、配線M2sと、層間接続層V3に属するビアホールV3eと、メタル層M3に属する短い配線M3eとを用いることにより配線できる。これにより、配線長を最適化して再配線をいっそう容易にすることができ、かつ、初期レイアウト30と電氣的に同等なレイアウト30' 'を得ることができる。

【0093】また、図11(a)に示すように、図10

(d)に示されたレイアウト30' 'に複数の冗長ビアホールV3fを追加して容易化レイアウト33とし、この容易化レイアウト33を用いて再配線することができる。これにより、図11(b)に示すようなレイアウト30' 'を得る。この場合には、配線M2sとビアホールV3eと配線M3eとを用いることにより、図10(a)に示された初期レイアウト30と電氣的に同等なレイアウトを得ることができ、更に、冗長配線M2hと冗長ビアホールV3fと配線M3fとを用いて配線を追加することができる。すなわち、冗長ビアホールV3fを用いてより上位のメタル層M3に属する配線を更に有効に用いるので、メタル層M2, M3をより有効に利用して容易に再配線できるとともに、配線長を最適化することができる。この場合においては、他のメタル層をいっそう有効に用いるために、冗長ビアホールを千鳥状に配置しておくことが好ましい。

【0094】なお、本実施形態において用いたそれぞれの容易化処理後のレイアウト、つまり、図9(b), 図10(b), 図10(c), 図11(a)に示された各容易化レイアウト13, 31, 32, 33が、予め半導体装置に形成されていることとしてもよい。これによれば、回路変更があった場合において配線長が最適化されて配線特性が改善されるとともに、回路変更に対応できる半導体装置が実現される。

【0095】なお、以上の各実施形態の説明では、3層メタル配線について説明したが、これに限らず、2層メタル配線や4層以上のメタル配線においても同様な効果があることは明らかである。

【0096】また、各実施形態における、設計変更の対象となる領域がレイアウトの一部である場合や、修正の容易化処理に用いるメタル配線の分割、冗長配線、又は冗長ビアホールをレイアウトの一部について用いる場合でも、本発明の有効性は変わらないことはいうまでもない。

【0097】また、本発明は、システムLSIに適用することもできる。システムLSIはASICと同様に特定ユーザ向けに製造されるものが多い。従って、ASICについて説明した従来技術の問題点が現在のシステムLSIについても存在する。従って、本願発明をシステムLSIに適用することによって、システムLSIの開発時間およびコストを低減することができる。

【0098】図12にシステムLSI50の上面図を模式的に示す。システムLSI50は複数のマクロブロック(IPやコアと呼ばれることもある)52とマクロ間配線54とを有している。マクロブロック52は、例えば、CPU、DSP回路、RAM、ROM、クロック/タイミング回路やI/O回路などである。マクロブロックのレイアウトの多くは、セルライブラリに保存されているものを用いることができる。従って、特定ユーザ向けのシステムLSIのレイアウト設計は、マクロライブ

ラリから必要なマクロブロックを選択すれば、後はマクロブロック間配線のレイアウト設計だけを行えばよい。このマクロブロック間配線に、本願発明のレイアウト設計方法を用いることができる。

【0099】すなわち、マクロブロック間配線を多層配線で形成する際に、なるべく少ない、および／またはなるべく上層に位置する配線平面レイアウトの変更だけで所望のシステムLSIのレイアウト設計を行うことができる。設計の自由度を高めるために、実施形態2で説明したように、長い配線を分割したり、冗長配線（冗長ヴィアホールを含む）を設けることが好ましい。また、冗長トランジスタの入出力端子を最上位配線層で結線できる構造やチャンネル領域における上位配線のスイッチボックスを設けた構成することが好ましい。

【0100】以下、図13～図19を参照しながら、従来の配線レイアウトと比較しながら本願発明の半導体装置（ASICやシステムLSIを含む）に好適に用いられる冗長配線を含む配線レイアウトの例を説明する。

【0101】図13（a）および（b）は、従来の半導体装置のレイアウトの2つの配線平面レイアウト（間にヴィアホールを介在する）を、図14（a）および

（b）は、本発明による半導体装置のレイアウトの2つの配線平面レイアウトを示す。図13（a）および14（a）は、2つの配線平面レイアウトを重ねた状態を示し、図13（b）および図14（b）は、下層の配線平面レイアウトを示す。

【0102】図13（a）に示したように、従来の半導体装置においては、上層の配線WUと下層の配線WLはヴィアホールVを介して互いに交差する点で相互に接続されている。また、図13（b）に示したように、下層の配線WLが不要な領域には、配線は設けられていない。これに対し、図14（a）および（b）に示したように、本願発明の半導体装置においては、冗長配線WRおよび冗長ヴィアホールVRが設けられている。冗長配線WR1は、図14（b）に示したように、従来の下層配線平面レイアウト（図13（b））で配線が形成されていなかった領域に形成されている。冗長配線WR2は、下層の配線WLと上層の配線WUとが交差する領域に形成されている。冗長配線WR2は、従来のレイアウトにおいては、連続した1本の配線であった（図13（b））配線WLを、上層の配線WUと交差する領域で2本に分断し、分断された2本の配線の間に形成されている。また、冗長配線WR1およびWR2は、十字形を有している。十字の一方の方向は、WUに平行で、他方はWLに平行である。すなわち、冗長配線WR1およびWR2は、互いに交差する方向（異なる方向、典型的には直交する方向）に延びる2つの導体部分を有する。これらの冗長配線WR1、WR2や冗長ヴィアホールVRは、例えば、図8に示した工程S1150で生成され得る。

【0103】次に、図15および図16を参照しながら、上記の十字型の冗長配線を用いることによって、配線レイアウトの変更が容易になることを説明する。

【0104】図15は、2つの配線WLおよびWUが互いに交差する従来のレイアウトを示し、（a）は重なった状態、（b）は下層のレイアウト、（c）は上層レイアウトをそれぞれ示す。図16は、本願発明の冗長配線を有するレイアウトを示し、（a）は重なった状態、（b）は下層のレイアウト、（c）は上層のレイアウトをそれぞれ示す。

【0105】図15（b）と図16（b）との比較からわかるように、本発明による下層レイアウトは、下層配線WLを交差部で2つに分断し、分断されたWLの間の領域に十字の冗長配線WR1を有している。一方、図16（c）に示したように、本発明による上層レイアウトは、上層配線WUに直交する方向（下層配線WLと重なるように）設けられた冗長配線WR2を有している。これらの配線をヴィアホールVRを用いて、図16（a）に示したように互いに結線することによって、互いに交差する2つの配線を形成している。

【0106】また、下層配線WLに図16（b）と同じパターンを用いて、図17（b）および図17（c）に示したように、冗長ヴィアホールVR'および上層配線WUのパターンを用いることによって、図17（a）に示したパターンの配線を得ることができる。すなわち、ヴィアホールのパターンと上層配線のパターンを変更するだけで、図16（a）に示した接続構造と異なる配線を実現することができる。

【0107】また、冗長配線のパターンは、十字に限られず、互いに交差する方向（異なる方向、典型的には直交する方向）に延びる2つの導体部分を有する形状であればよい。例えば、図18（a）に示したようなS字でもよいし、図18（b）に示したようにH字状でもよい。また、これらの冗長配線WRは、図18（a）および（b）に示したように、上層の配線WUと重なる導電部を有するように配置すれば、配線のレイアウトの変更を容易に行うことができる。

【0108】さらに、従来の配線レイアウトにおける空き領域には、特別の理由が無い限り、上述した冗長配線を配置することが好ましい。例えば、図19（a）及び図19（b）に示したように、複数の十字の冗長配線WRを規則的に配置すればよい。冗長配線WRの形状は、十字に限られず、S字やH字でもよい。

【0109】

【発明の効果】本発明による半導体装置のレイアウト設計方法によれば、仕様変更に伴い回路変更があった場合に、容易にレイアウトを変更することができるので、半導体装置の開発期間を短縮することができる。例えば、一旦レイアウト設計が終了した後の仕様変更に対して、迅速に対応することができる。また、仕様変更に伴うレ

イアウトの変更を、最小限の数の配線平面レイアウトの変更で対応することが可能となる。従って、マスクの製造にかかる時間と費用を削減することができる。さらに、レイアウトを変更する配線平面レイアウトを出来るだけ上層の配線平面レイアウト（半導体プロセスの後の工程で使用するマスクに対応）に限ることが可能となるので、製造プロセスの進展によっては、仕掛品を無駄にすることなく、製造時間および製造費用を削減することが可能となる。

【0110】また、本発明による冗長配線を有する半導体装置は、上述したレイアウト変更を容易にするとともに、配線特性（遅延特性など）を最適化しやすい構造を有する。

【0111】本発明によると、従来よりも短い期間で半導体装置を開発することを可能にするレイアウト設計方法およびレイアウト設計プログラムを記録した記録媒体、並びに短い期間で設計が可能な半導体装置が提供される。

【図面の簡単な説明】

【図1】本発明の実施形態によるレイアウト設計方法のフローチャートである。

【図2】本発明の実施形態による他のレイアウト設計方法のフローチャートである。

【図3】本発明の実施形態による他のレイアウト設計方法のフローチャートである。

【図4】本発明の実施形態1に係るマスク設計方法のフローチャートである。

【図5】(a)～(c)は、実施形態1における設計変更の対象となるレイアウトについて修正前、修正中、及び修正後のレイアウトをそれぞれ示すパターン図である。

【図6】図4の工程S1300において修正マスクを見積もる処理の詳細を示すフローチャートである。

【図7】(a)～(c)は、修正マスクを見積もる際に、設計変更の対象となるレイアウトについて修正前、修正中、及び修正後のレイアウトをそれぞれ示すパターン図である。

【図8】本発明の実施形態2に係るマスク設計方法のフローチャートである。

【図9】(a)～(d)は、実施形態2における設計変更の対象となるレイアウトについて、容易化処理前、容易化処理後、容易化処理後かつ設計後、及び容易化処理後かつ回路変更後のレイアウトをそれぞれ示すパターン図である。

【図10】(a)は実施形態2に係る設計方法の変形例において1つのメタル層による初期レイアウトを、

(b)は本変形例における容易化処理の結果を、(c)は別の容易化処理の結果を、(d)は(c)を用いて設計した後のレイアウトをそれぞれ示すパターン図である。

【図11】(a)は実施形態2に係る設計方法の別の変形例において各々1つのメタル層と層間接続層とについての容易化処理の結果を、(b)は(a)を用いて設計した後のレイアウトをそれぞれ示すパターン図である。

【図12】システムLSIの上面図を模式的に示す図である。

【図13】従来の半導体装置のレイアウトの2つの配線平面レイアウト（間にビアホールを介在する）を示す図である。

【図14】本発明による半導体装置のレイアウトの2つの配線平面レイアウトを示す図である。

【図15】2つの配線WL（下層）およびWU（上層）が互いに交差する従来のレイアウトを示す図である。

【図16】2つの配線WL（下層）およびWU（上層）が互いに交差する、本発明の冗長配線を有するレイアウトを示す図である。

【図17】2つの配線WL（下層）およびWU（上層）が互いに交差する、本発明の冗長配線を有する他のレイアウトを示す図である。

【図18】本発明による冗長配線のパターンを示す図である。

【図19】本発明による複数の冗長配線の配置の例を示す図である。

【図20】半導体装置のレイアウトを示す模式的な平面図である。

【図21】回路変更が発生した場合の従来のマスク設計方法のフローチャートである。

【図22】(a)は、変更前の配線平面レイアウト（第1レイアウトの一部）を示し、(B)は、リップアップ後の配線平面レイアウトを示し、(C)はリルート（再配線）後の配線平面レイアウト（第2レイアウトの一部）を示す。

【符号の説明】

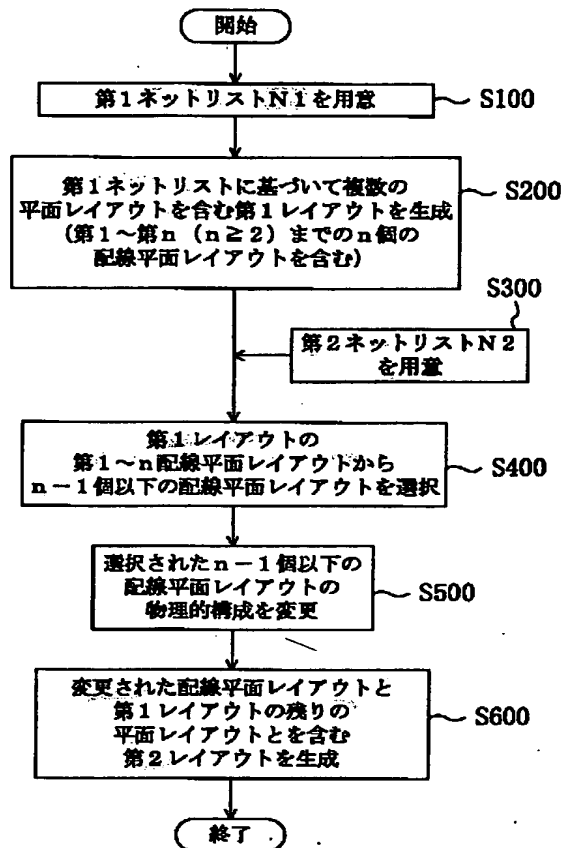
10, 30 初期レイアウト

13, 31, 32, 33 容易化レイアウト

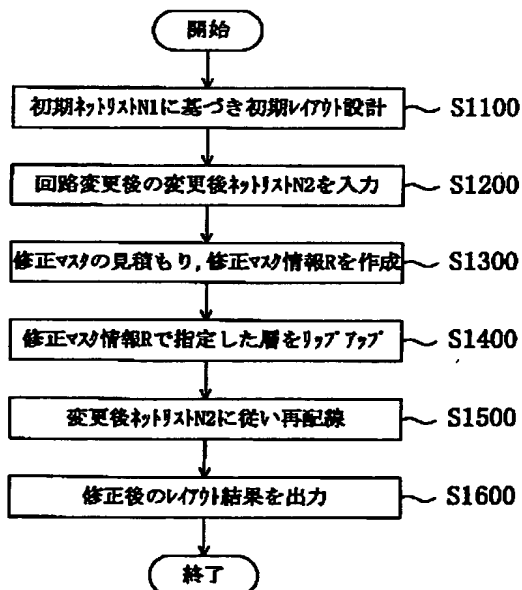
20, 20', 20'' 修正レイアウト

A, B, C, D 端子

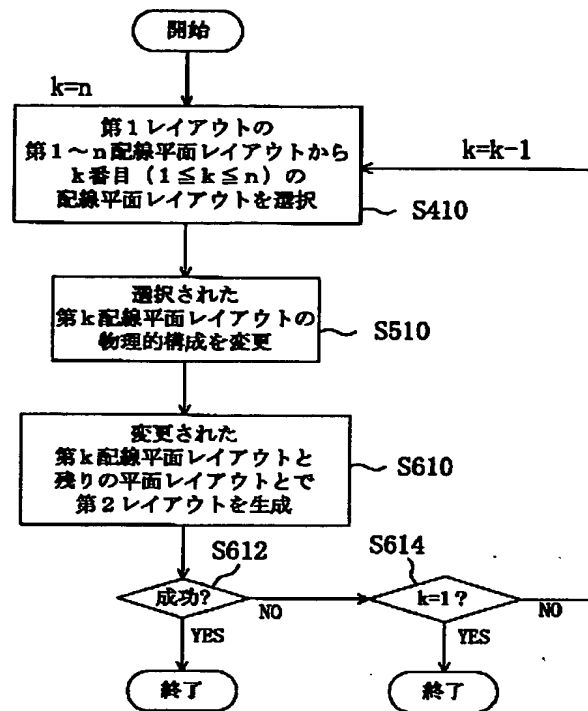
【図1】



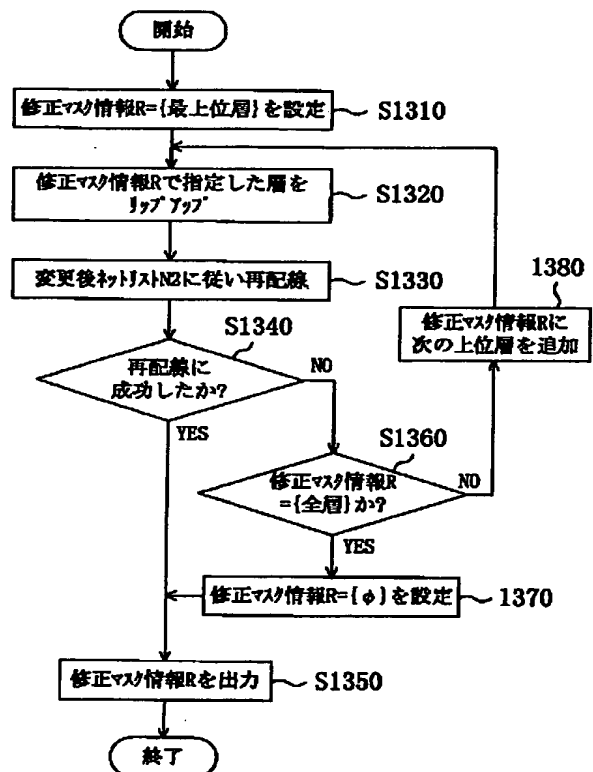
【図4】



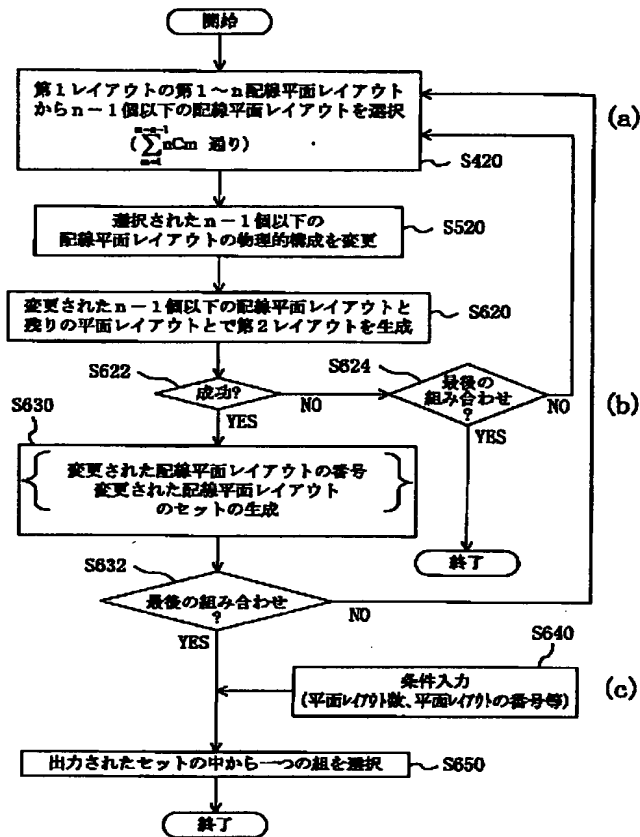
【図2】



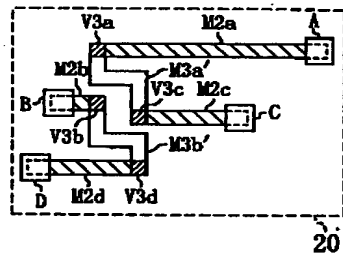
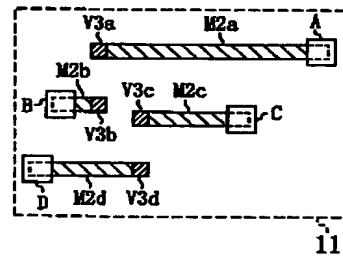
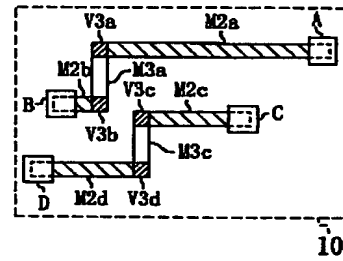
【図6】



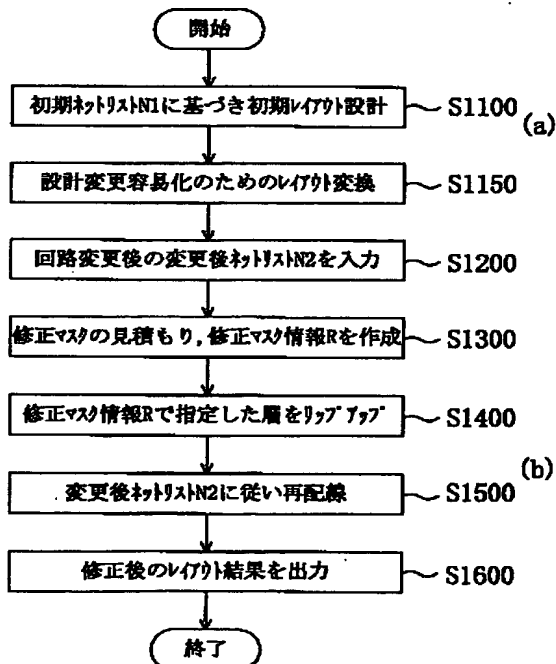
【図3】



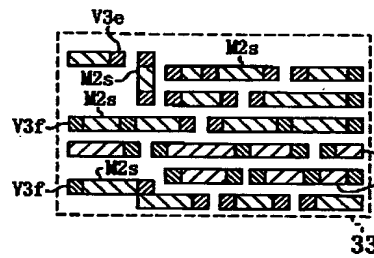
【図5】



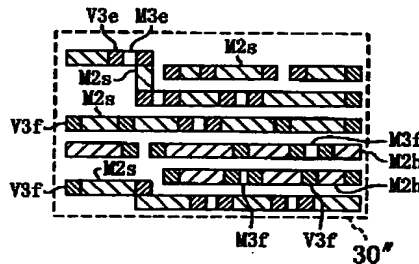
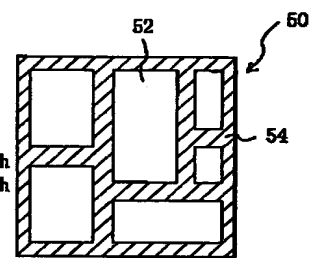
【図8】



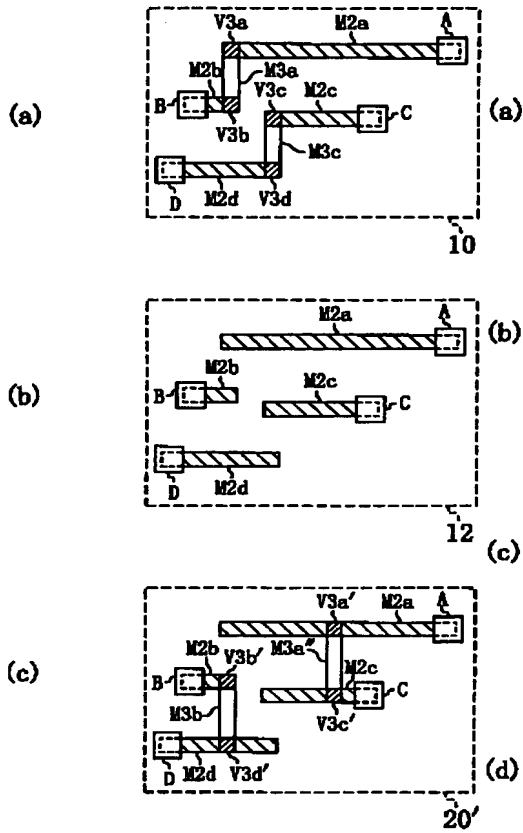
【図11】



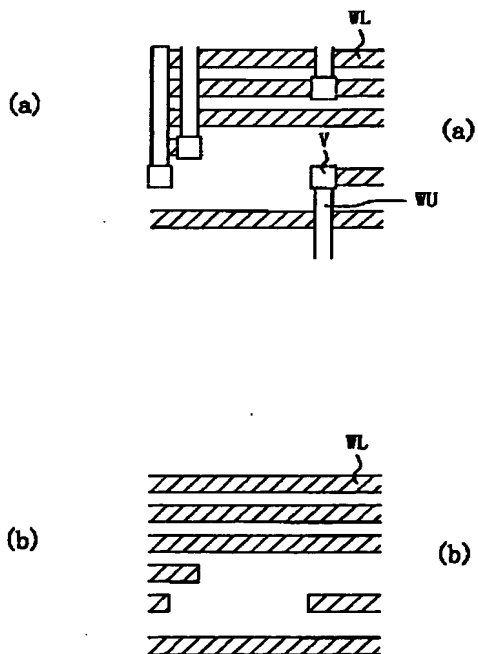
【図12】



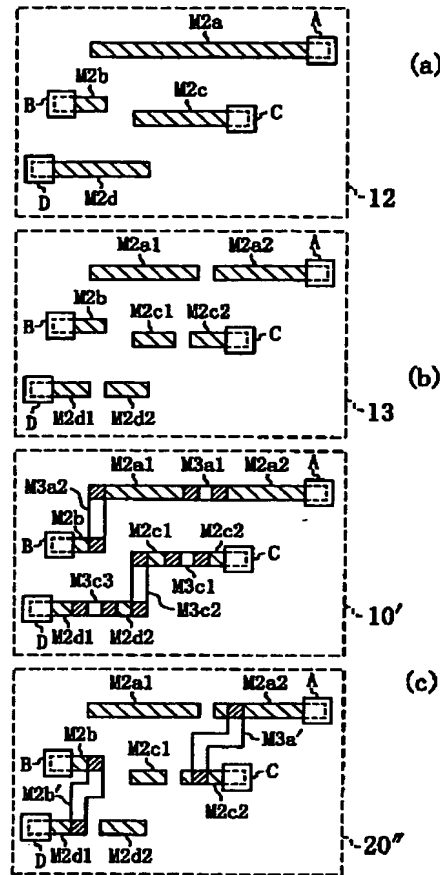
【図7】



【図13】



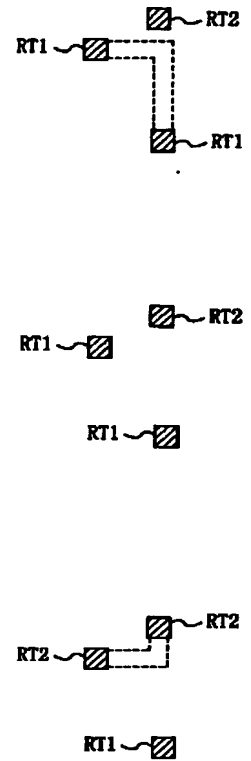
【図9】



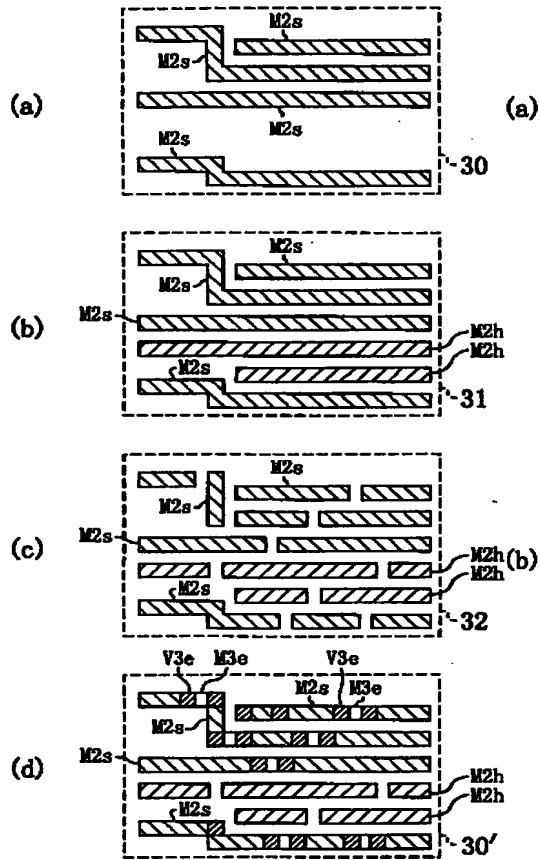
【図18】



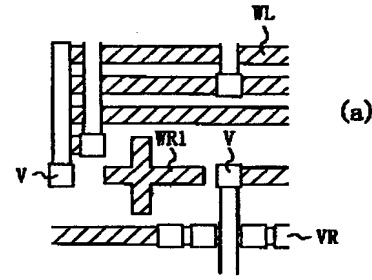
【図22】



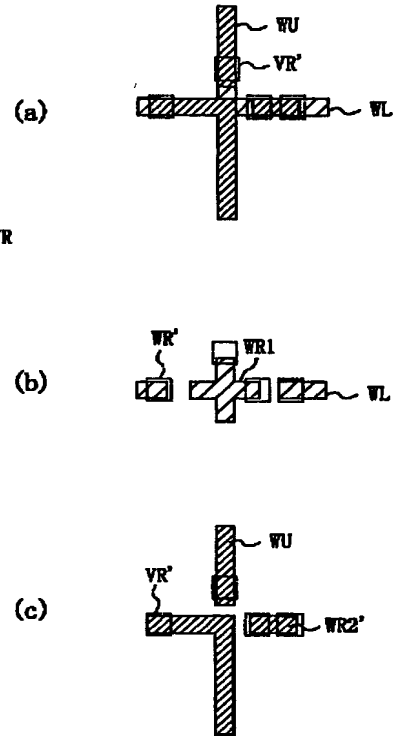
【図10】



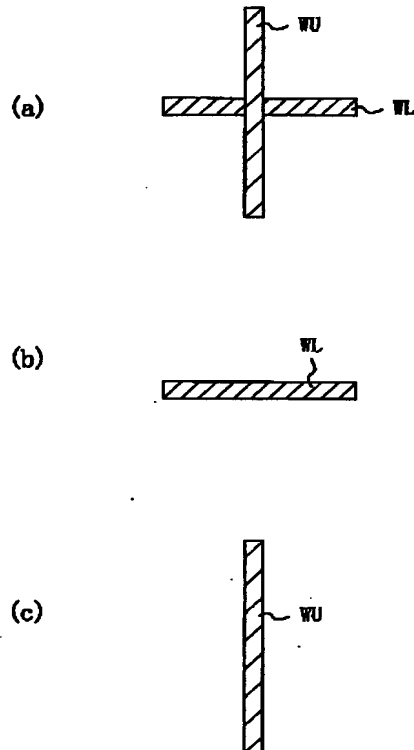
【図14】



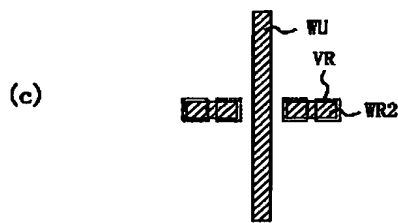
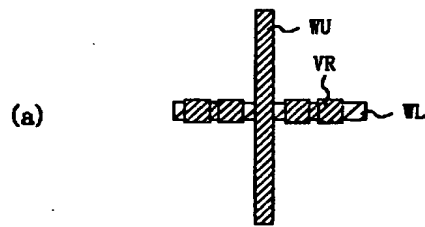
【図17】



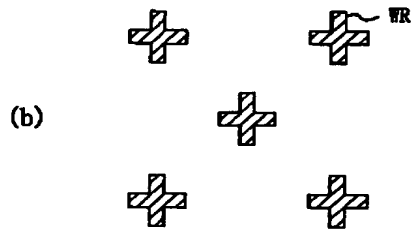
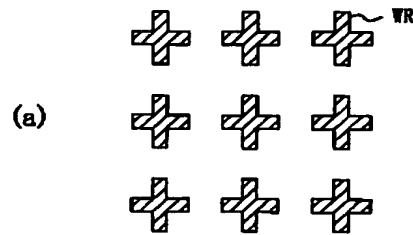
【図15】



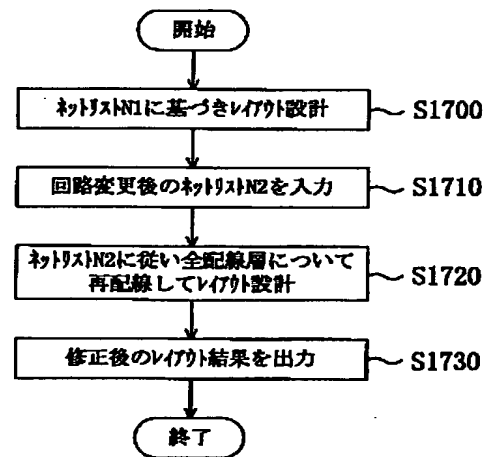
【図16】



【図19】



【図21】



【図20】

